



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03230387 A**(43) Date of publication of application: **14.10.91**

(51) Int. Cl.

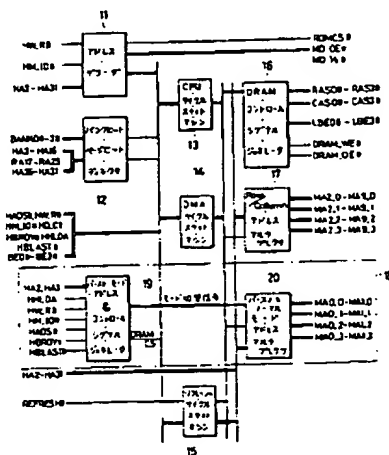
G11C 11/401(21) Application number: **02024346**(71) Applicant: **TOKYO ELECTRIC CO LTD**(22) Date of filing: **05.02.90**(72) Inventor: **HARIKUNI MAKOTO**(54) **DYNAMIC RAM CONTROL DEVICE**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To improve the reading efficiency of a memory by switching a burst mode(BM) and a normal mode(NM), and in the BM, immediately outputting a signal to be used for a burst reading cycle when a BRDY signal is turned to the 'L' level.

CONSTITUTION: A signal generator 19 generates a switching signal for switching the NM and the BM in the memory reading cycle based upon HADS, HW/R, HHLDA, and BLAST signals outputted from a central processing unit(CPU), a DRAMCS signal outputted from a DRAM decoder and a BRDY signal from a CPU cycle state machine. When the BM is selected by the mode switching signal from the generator 19, a multiplexer 20 outputs address signals MA0, MA1 to be used for the burst reading cycle of the DRAM immediately after turning the BRDY signal to the 'L' level. Consequently, time required for the reading cycle of the memory can be shortened and the reading efficiency of the memory can be improved.



⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月14日

G 11 C 11/401

8323-5B

G 11 C 11/34

3 6 2 C

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 ダイナミックRAM制御装置

⑯ 特 願 平2-24346

⑰ 出 願 平2(1990)2月5日

⑱ 発 明 者 張 國 誠 静岡県三島市南町6番78号 東京電気株式会社三島工場内

⑲ 出 願 人 東京電気株式会社 東京都目黒区中目黒2丁目6番13号

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

ダイナミックRAM制御装置

2. 特許請求の範囲

中央処理ユニットからの指令に基づいてダイナミックRAMをアクセス制御するダイナミックRAM制御装置において、中央処理ユニットからのHADS-、HV/R-、HHLDA、BLAST-の各信号とダイナミックRAMデコーダからのDRAMCS-信号とCPUサイクルステイトマシンからのBRDY信号によりメモリ・リード・サイクルでバーストモードとノーマルモードを切替えるモード切替信号を発生するモード切替信号発生手段と、この信号発生手段からのモード切替信号によりバーストモードが選択されている状態でダイナミックRAMのバースト・リード・サイクルに使用されるアドレス信号をBRDY-信号がローレベルになると直ちに出力するアドレス出力手段を設けたことを特徴とするダイナミックRAM制御装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、中央処理ユニットからの指令に基づいてダイナミックRAMをアクセス制御するダイナミックRAM制御装置に関する。

〔従来の技術〕

例えば80486-25PC/AT用の100nsダイナミックRAM制御装置は、第7図に示すようにアドレス・デコーダ1、バンク・ヒット(Bank hit)・ページ・ヒット(Page hit)・ディテクタ2、CPU(中央処理ユニット)・サイクル・ステイト・マシン3、DMA(ダイレクト・メモリ・アクセス)・サイクル・ステイト・マシン4、リフレッシュ・サイクル・ステイト・マシン5、DRAM・コントロール・シグナル・ジェネレータ6、Row/Column・アドレス・マルチプレクサ7等を設け、バースト(burst)・モードにおいて第8図、第9図及び第10図に示すタイミングで信号処理を行うようになっていた。

なお、第8図はバンク・ミス(Bank Miss)のり

ード・サイクルとバンク・ヒット・ページ・ミス(Bank hit page miss)のライト・サイクルのタイミングを示し、第9図はバンク・ヒット・ページ・ヒット(Bank hit page hit)のリード・サイクル、ライト・サイクルとバンク・ミス(Bank miss)のライト・サイクルのタイミングを示し、第10図はバンク・ヒット・ページ・ミス(Bank hit page miss)のリード・サイクルを示している。

【発明が解決しようとする課題】

ところでCPUからのアドレス信号(HA2～HA31)は常にBRDY-信号がロー(Low)でクロック(CLK)の立上りから約22ns遅れて出るため、従来のメモリ・バースト・リード・サイクルでは余分なサイクルが発生しリード・サイクル時間が長くなる問題があった。すなわちバンク・ミスのリード・サイクルは14クロック分必要となり、バンク・ヒット・ページ・ヒットのリード・サイクルは12クロック分必要となり、またバンク・ヒット・ページ・ミスのリード・サイクルは16クロック分必要となった。

【作用】

このような構成の本発明においては、モード切替信号発生手段によりバースト・モードとノーマル・モードの切替えを行い、バースト・モードのときにバースト・リード・サイクルに使用されるアドレス信号をBRDY-信号がローレベルになると直ちに出力させ、それにより余分なサイクルを無くすることができる。

【実施例】

以下、本発明の実施例を図面を参照して説明する。

第1図において、11はアドレス・デコーダ、12はバンク・ヒット・ページ・ヒット・ディテクタ、13はCPU・サイクル・ステイト・マシン、14はDMA・サイクル・ステイト・マシン、15はリフレッシュ・サイクル・ステイト・マシン、16はDRAM・コントロール・シグナル・ジェネレータ、17はRow/Column・アドレス・マルチプレクサである。以上の各部の構成は従来と同じである。

そこで本発明は、メモリ・バースト・リード・サイクルに要する時間を短くでき、メモリのリード効率を向上できるダイナミックRAM制御装置を提供しようとするものである。

【課題を解決するための手段】

本発明は、中央処理ユニットからの指令に基づいてダイナミックRAMをアクセス制御するダイナミックRAM制御装置において、中央処理ユニットからのHADS-、HV/R-、HHLDA、BLAST-の各信号とダイナミックRAMデコードからのDRAMCS-信号とCPUサイクルステイトマシンからのBRDY信号によりメモリ・リード・サイクルでバースト・モードとノーマル・モードを切替えるモード切替信号を発生するモード切替信号発生手段と、この信号発生手段からのモード切替信号によりバースト・モードが選択されている状態でダイナミックRAMのバースト・リード・サイクルに使用されるアドレス信号をBRDY-信号がローレベルになると直ちに出力するアドレス出力手段を設けたものである。

18は本発明の特徴を為すバースト・モード・アドレス・ジェネレータで、このジェネレータ18はバースト・モード・アドレス・アンド・コントロール・シグナル・ジェネレータ19とバースト・アンド・ノーマル・モード・アドレス・マルチプレクサ20によって構成されている。

前記バースト・モード・アドレス・アンド・コントロール・シグナル・ジェネレータ19は、中央処理ユニットからのHADS-、HV/R-、HHLDA、BLAST-の各信号とダイナミックRAMデコードからのDRAMCS-信号とCPUサイクルステイトマシンからのBRDY信号によりメモリ・リード・サイクルでバースト・モードとノーマル・モードを切替えるモード切替信号を発生するモード切替信号発生手段を備えている。

前記バースト・アンド・ノーマル・モード・アドレス・マルチプレクサ20は前記モード切替信号発生手段からのモード切替信号によりバースト・モードが選択されている状態でダイナミックRAMのバースト・リード・サイクルに使用され

るアドレス信号MA0,MA1をBRDY-信号がローレベルになると直ちに出力するアドレス出力手段を備えている。

このような構成の本実施例においては、バースト・モード・アドレス・アンド・コントロール・シグナル・ジェネレータ19は第2図及び第3図に示すように中央処理ユニットからのHADS-, HV/R-, HHLDA-, BLAST-の各信号とダイナミックRAMデコーダからのDRANCS-信号とCPUサイクルステイトマシンからのBRDY信号によりメモリ・リード・サイクルでノーマル・モードとバースト・モードに切替えるモード切替信号を発生する。

なお、第2図はバンク・ミスの場合を示し、また第3図はバンク・ヒット・ページ・ヒットの場合を示している。

そしてバースト・アンド・ノーマル・モード・アドレス・マルチプレクサ20は第4図、第5図及び第6図に示すように、バースト・モード・アドレス・アンド・コントロール・シグナル・ジェ

ーにバンク・ヒット・ページ・ヒットのリード・サイクルは9クロック分で終了し、また第6図に示すようにバンク・ヒット・ページ・ミスのリード・サイクルは13クロック分で終了することになる。

なお、ライト・サイクルについては従来と同様である。

このようにバンク・ミスのリード・サイクルは従来が14クロックであったのに対して11クロックでよく、バンク・ヒット・ページ・ヒットのリード・サイクルは従来が12クロックであったのに対して9クロックでよく、またバンク・ヒット・ページ・ミスのリード・サイクルは従来が16クロックであったのに対して13クロックでよく、いずれもリード・サイクルに要する時間を短縮することができ、メモリのリード効率を向上することができた。

〔発明の効果〕

以上詳述したように本発明によれば、メモリ・バースト・リード・サイクルに要する時間を短く

ネレータ19からのモード切替信号によりバースト・モードが選択されている状態でダイナミックRAMのバースト・リード・サイクルに使用されるアドレス信号MA0,MA1をBRDY-信号がローレベルになると直ちに出力する。

なお、第4図はバンク・ミス(Bank Miss)のリード・サイクルとバンク・ヒット・ページ・ヒット(Bank hit page hit)、バンク・ヒット・ページ・ミス(Bank hit page miss)のライト・サイクルのタイミングを示し、第5図はバンク・ヒット・ページ・ヒット(Bank hit page hit)のリード・サイクル、ライト・サイクルとバンク・ミス(Bank miss)のライト・サイクルのタイミングを示し、第6図はバンク・ヒット・ページ・ミス(Bank hit page Miss)のリード・サイクルを示している。

第4図は第8図に対応し、第5図は第9図に対応し、第6図は第10図に対応している。そして第4図に示すようにバンク・ミスのリード・サイクルは11クロック分で終了し、第5図に示すよ

うに、メモリのリード効率を向上できるダイナミックRAM制御装置を提供できるものである。

4. 図面の簡単な説明

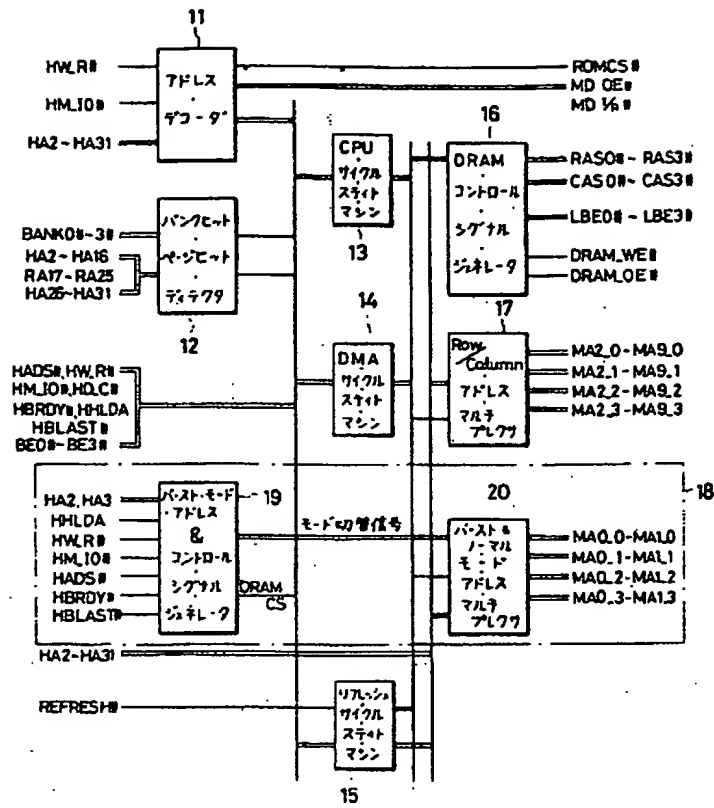
第1図乃至第6図は本発明の実施例を示すもので、第1図はブロック図、第2図及び第3図はメモリ・リード／ライト・サイクルにおけるノーマル・モードとバースト・モードのタイミング図、第4図、第5図及び第6図はバースト・モードでのリード／ライト制御を示すタイミング図、第7図乃至第10図は従来例を示すもので、第7図はブロック図、第8図、第9図及び第10図はバースト・モードでのリード／ライト制御を示すタイミング図である。

18…バースト・モード・アドレス・ジェネレータ、

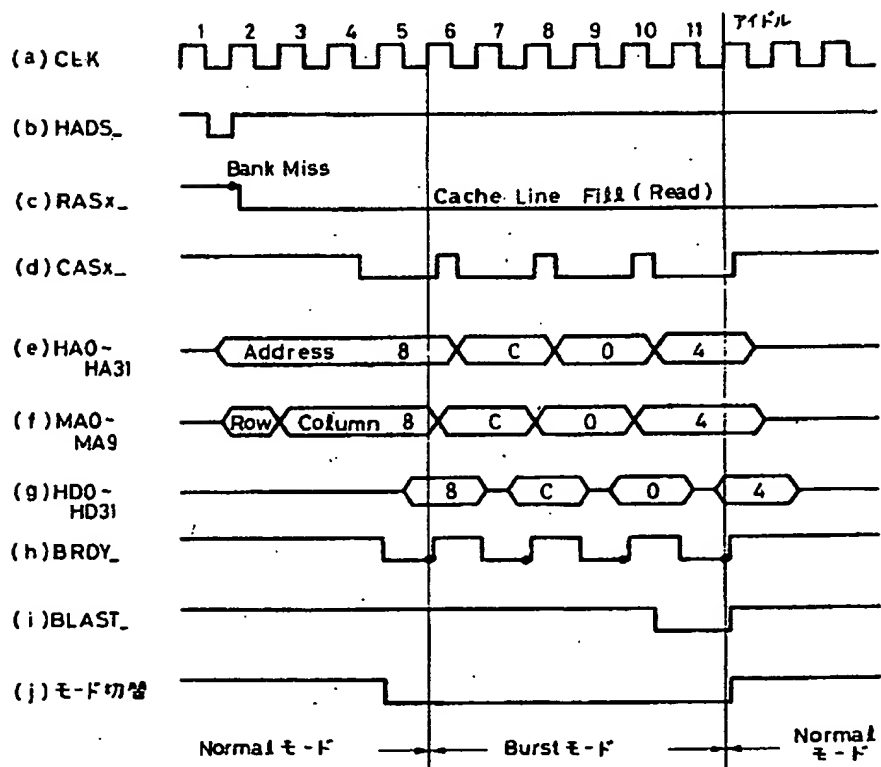
19…バースト・モード・アドレス・アンド・コントロール・シグナル・ジェネレータ、

20…バースト・アンド・ノーマル・モード・アドレス・マルチプレクサ。

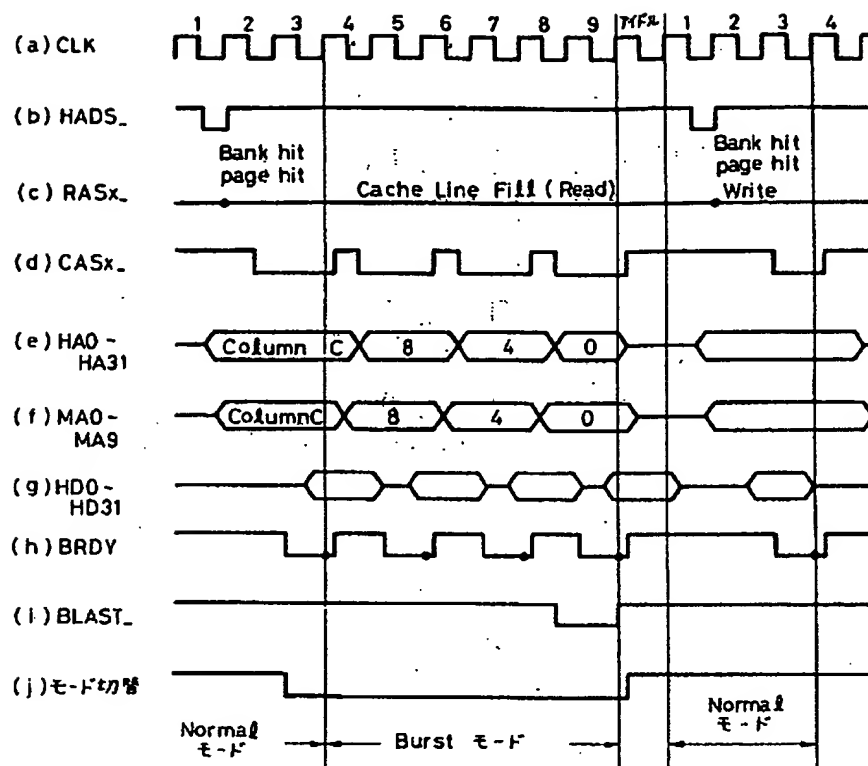
出願人代理人 弁理士 鈴江武彦



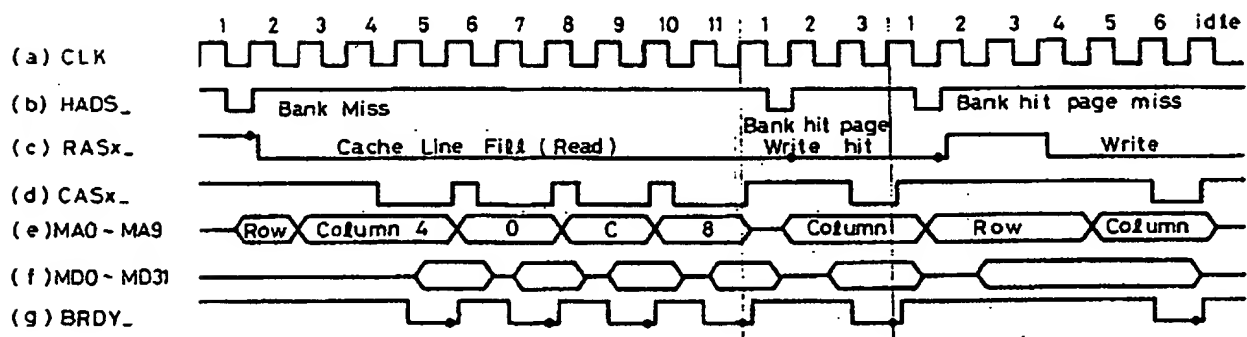
第 1 図



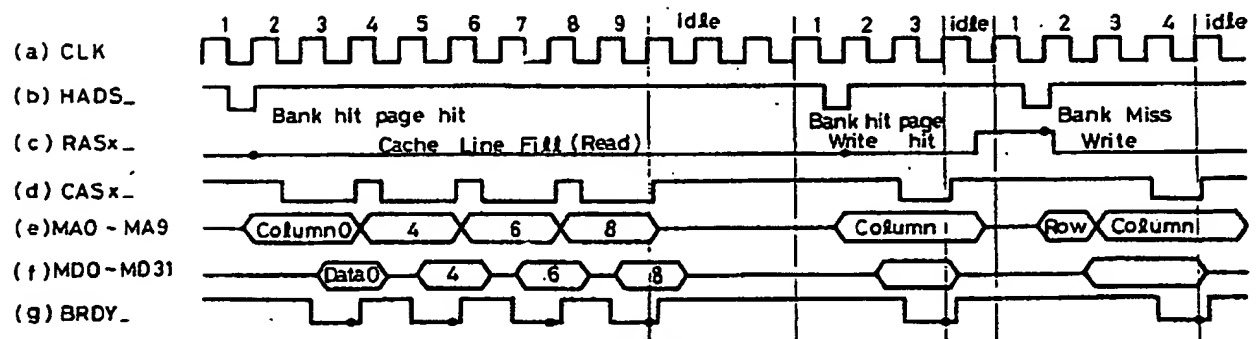
第 2 図



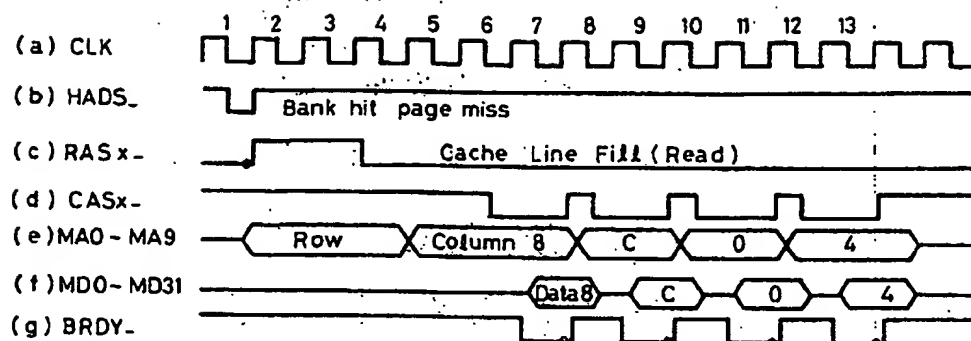
第 3 図



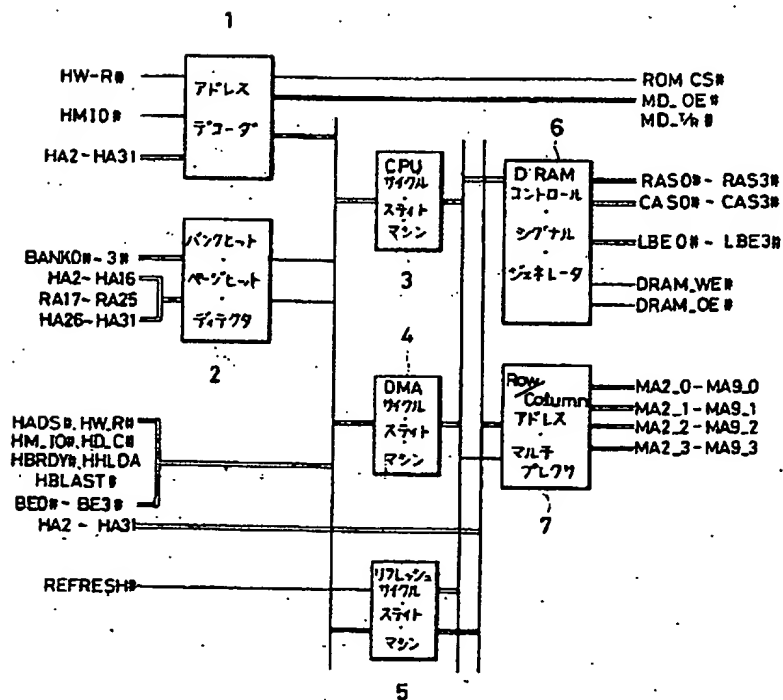
第 4 図



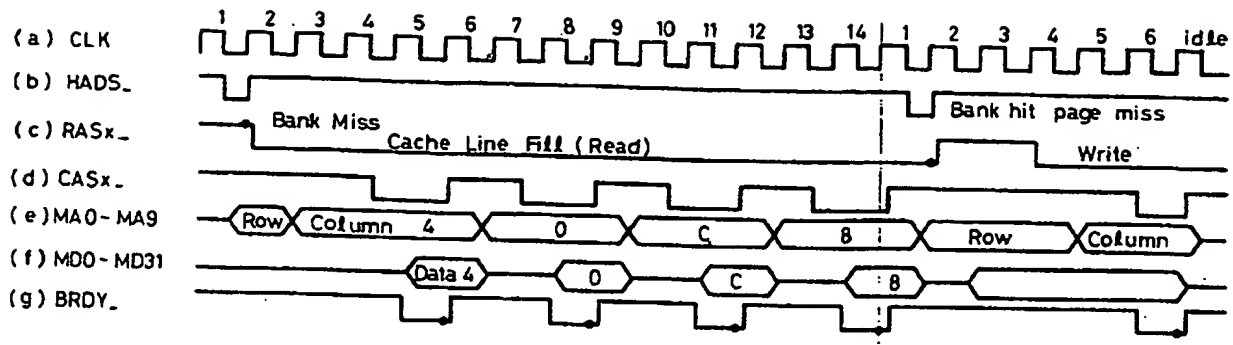
第 5 図



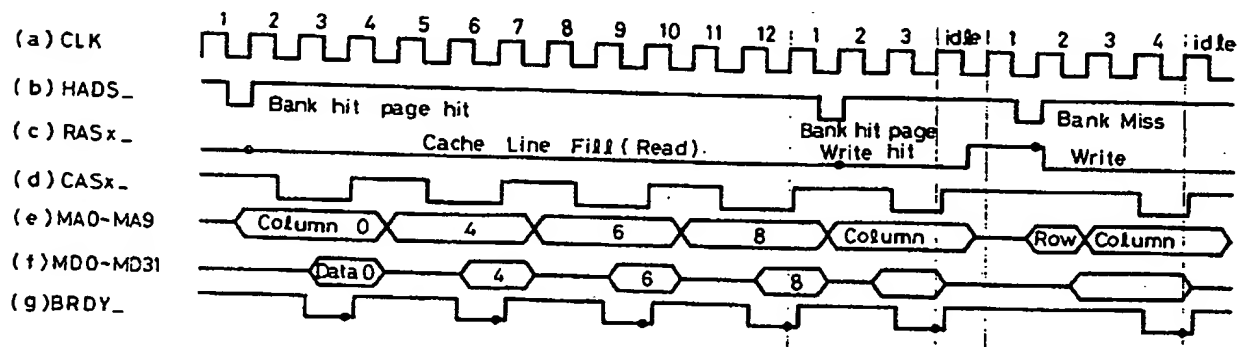
第 6 図



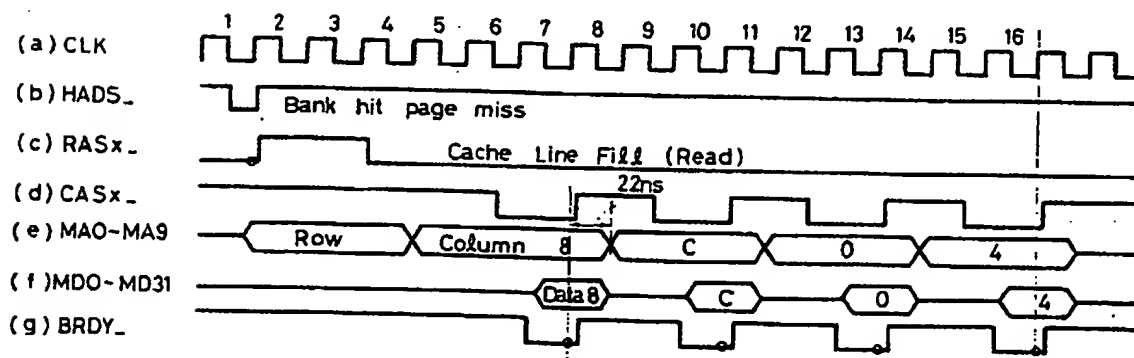
第 7 図



第 8 図



第 9 図



第 10 図